

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-116588

(43)Date of publication of application : 17.04.1992

(51)Int.Cl. G09G 3/20
G09G 3/36

(21)Application number : 02-238123

(71)Applicant : SHARP CORP

(22)Date of filing : 06.09.1990

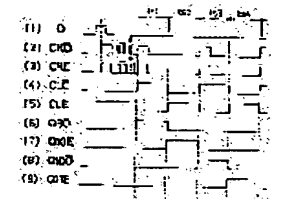
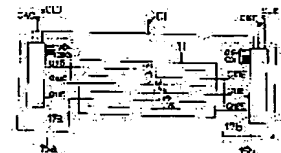
(72)Inventor : SAKAMOTO ATSUSHI
YAMAMOTO KYOICHI
OBA TOSHIHIRO
KISHISHITA HIROSHI

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To use a driving circuit in common and to reduce the cost of a display device by allowing a clock generation circuit to give a clock which idly feeds by as much as the first (m) bit of a first semiconductor IC to the driving circuit on an odd number scanning side and a clock which idly feeds by as much as the first (n) bit to the driving circuit on an even number scanning side.

CONSTITUTION: Position specification data D is shifted to the 9th bit of the first semiconductor IC 17a in the driving circuit 15a on the scanning side, that means, the bit corresponding to an electrode Y1 on the scanning side of a display panel 11 by the clock CKO in a term (ts1). Besides, the data D is shifted to the 10th bit of the semiconductor IC 17b in the driving circuit 15b on the scanning side, that means, the bit corresponding to the scanning electrode Y2 of the panel 11. Then, the driving circuit 15b on the scanning side which made to correspond to the electrode Y on the odd numberth scanning side is substituted by inverting the top and bottom arrangement of the wiring substrate 16 of the driving circuit 15a on the scanning side. Thus, the driving circuit is used in common and the cost of the device is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

REST AVAILABLE COPY

⑫ 公開特許公報(A) 平4-116588

⑬ Int.Cl.⁵G 09 G 3/20
3/36

識別記号

J

庁内整理番号

9176-5G
8621-5G

⑭ 公開 平成4年(1992)4月17日

審査請求 未請求 請求項の数 1 (全10頁)

⑮ 発明の名称 表示装置

⑯ 特 願 平2-238123

⑰ 出 願 平2(1990)9月6日

⑱ 発 明 者 坂 本 敦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 発 明 者 山 本 恭 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 発 明 者 大 場 敏 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 発 明 者 岸 下 博 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑲ 代 理 人 弁理士 西教 圭一郎 外1名

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

互いに交差する方向に配列した複数の走査側電極と複数のデータ側電極との交点ごとに絵素を有する表示パネルと、走査側電極に接続され絵素の行を指定する走査側駆動回路と、データ側電極に接続され絵素の各列に表示データに対応する信号を与えるデータ側駆動回路とを含み、前記走査側駆動回路は、双方向にシフト可能な q ビットのシフトレジスタとしての機能を含む N 個の半導体ICを配線基板上に縦続接続してそれぞれ構成される奇数走査側駆動回路と、偶数走査側駆動回路とに分けられ、クロック生成回路から出力されるクロックによって奇数走査側駆動回路および偶数走査側駆動回路をシフト駆動して絵素の行を指定するように構成され、かつ、奇数走査側駆動回路の全半導体ICを合計したビット数 $q \times N$ および偶数走査側駆動回路の全半導体ICを合計したビット数

$q \times N$ が、それぞれ奇数番目の走査側電極および偶数番目の走査側電極の本数よりも奇数ビット $m + n$ だけ多い表示装置において、

前記奇数走査側駆動回路は、その1番目の半導体ICの最初から m ビット分および最後の半導体ICの最後の n ビット分を除いて、各半導体ICの各ビットが表示パネルの対応する奇数番目の走査側電極に接続され、

前記偶数走査側駆動回路は、奇数走査側駆動回路を、その最後の半導体ICが1番目の半導体ICとなり、1番目の半導体集積回路が最後の半導体ICとなるように上下を逆にして配置され、かつ1番目の半導体ICの最初の n ビット分および最後の半導体ICの最後の m ビット分を除いて、各半導体ICの各ビットが表示パネルの対応する偶数番目の走査側電極に接続され、

前記クロック生成回路は、奇数走査側駆動回路にその1番目の半導体ICの最初の m ビット分を送り送るクロックを与え、偶数走査側駆動回路にその1番目の半導体ICの最初の n ビット分を

空送りするクロックを与えることを特徴とする表示装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、マトリクス状に配列した絵素を順次駆動して画像を表示するようにしたＥＬ表示装置、プラズマ表示装置、液晶表示装置などの表示装置に関する。

従来の技術

第6図は、ＥＬ表示装置、プラズマ表示装置、液晶表示装置などのマトリクス型表示装置の概略的な構成を示すブロック図である。表示パネル1には互いに直行する方向に配列した複数本の走査側電極Ｙと複数本のデータ側電極Ｘとが形成され、その走査側電極Ｙとデータ側電極Ｘの交点ごとに絵素Ａが配置されている。すなわち、表示パネル1には複数の絵素Ａがマトリクス状に配列されており、その絵素Ａの各行に対応付けて走査側電極Ｙが、また絵素Ａの各列に対応付けてデータ側電極Ｘがそれぞれ配列されている。

る例えば左側を基点として奇数番目の各データ側電極Ｘに接続される回路であって、その各半導体ＩＣ４にはｐビットのシフトレジスタとラッチ回路とが内蔵され、互いに縦続接続されており、それらの半導体ＩＣ４のｐビットの出力端子は表示パネル1の奇数番目のデータ側電極Ｘの対応するｐ本に接続されている。

また、上記データ側駆動回路２ａ、２ｂのうち、他方のデータ側駆動回路２ｂは、表示パネル1の偶数番目のデータ側電極Ｘに接続される回路であって、その各半導体ＩＣ４のｐビットの出力端子は表示パネル1の偶数番目のデータ側電極Ｘの対応するｐ本に接続されている。

上記データ側駆動回路２ａ、２ｂの各半導体ＩＣ４は、表示制御回路８から与えられるクロックによってシフト駆動され、外部から送られてくる絵素の各１行分の表示データを順次転送して取り込み、その表示データに対応する駆動信号をそれぞれのビットの出力端子からデータ側電極Ｘへと出力する機能を持つ。

表示パネル1の上下両端つまり絵素Ａの列の端部側には、絵素Ａの各列つまりデータ側電極Ｘに表示データに対応する駆動信号を供給するためのデータ側駆動回路２ａ、２ｂが配置されている。

このデータ側駆動回路２ａ、２ｂは、フレキシブルプリント基板や硬質プリント基板等の配線基板３上に複数の半導体ＩＣ４を実装して構成されている。また、表示パネル1の左右両端つまり絵素Ａの行の端部側には、絵素Ａの各行つまり走査側電極Ｙを線順次に指定するための走査側駆動回路５ａ、５ｂが配置されている。

この走査側駆動回路５ａ、５ｂも、配線基板６上に複数の半導体ＩＣ７ａ、７ｂを実装して構成されている。

表示制御回路８は、上記各データ側駆動回路２ａ、２ｂおよび各走査側駆動回路５ａ、５ｂの駆動に必要な制御信号や電圧を供給するための回路である。

上記データ側駆動回路２ａ、２ｂのうち、一方のデータ側駆動回路２ａは、表示パネル1にお

また、上記走査側駆動回路５ａ、５ｂのうち、一方の走査側駆動回路５ａは、表示パネル1における例えば上側を基点として奇数番目の走査側電極Ｙに接続される回路であって、その各半導体ＩＣ７ａにはｑビットのシフトレジスタが内蔵され、互いに縦続接続されており、各半導体ＩＣ７ａのｑビットの出力は表示パネル1の奇数番目の走査側電極Ｙの対応するｑ本に接続されている。

また、上記走査側駆動回路５ａ、５ｂのうち、他方の走査側駆動回路５ｂは、表示パネル1の偶数番目の走査側電極Ｙに接続される回路であって、その各半導体ＩＣ７ｂのｑビットの出力端子は表示パネル1の偶数番目のデータ側電極Ｘの対応するｑ本に接続されている。

上記走査側駆動回路５ａ、５ｂの各半導体ＩＣ７ａ、７ｂは、表示制御回路８から与えられるクロックによってシフト駆動され、それによって絵素Ａの各行つまり走査側電極Ｙを線順次に指定する機能を持つ。

このように、データ側駆動回路２ａ、２ｂおよ

び走査側駆動回路5a, 5bを、上下、左右に分けて設けるのは、それによって上記半導体IC4, 7a, 7bからデータ側電極Xおよび走査側電極Yに向けて取り出される各ビットに対応する出力端子のピッチを倍にし、その出力端子をデータ側電極Xおよび走査側電極Yに接続する作業を容易にするためである。

第7図は、上記走査側駆動回路5a, 5bにおける1つの半導体IC7a, 7bの内部構成を概略的に示したブロック図であり、シフトレジスタ9のqビットの各出力はそれぞれ対応するANDゲート10の1入力として与えられ、それらのANDゲート10の他の1入力としてクリアー信号CLが与えられる。ANDゲート10の出力はコンバータ10aによって一定レベルの電圧信号に変換され、これが総素Aの行つまり走査側電極Yを指定する駆動信号Q1~Qqとして対応する走査側電極Yに出力される。

上記シフトレジスタ9をシフト駆動するクロックCK、上記ANDゲート10に入力するクリアー

ー信号CL、およびシフトレジスタ9のデータ入力端子DIからデータ出力端子DOへとシフトする位置指定データIPは上述した表示制御回路8から与えられる。各半導体IC7a, 7bにおけるシフトレジスタ9のデータ出力端子DOは、次段の半導体IC7a, 7bのシフトレジスタ9のデータ入力端子DIに接続され、それによって各半導体IC7a, 7bが各走査側駆動回路5a, 5bにおいて縦続接続されている。

第8図は上記各走査側駆動回路5a, 5bの初段の半導体IC7a, 7bと表示パネル1の各走査側電極Yとの接続構成を示す図であり、第9図はその走査側駆動回路5a, 5bの動作を示すタイミングチャートである。

第9図において、ts1, ts2, ...は第8図に示す表示パネル1の走査側電極Y1, Y2, ...がそれぞれ各走査側駆動回路5a, 5bの線順次駆動によって選択される期間を示している。また、第9図(3)に示すクリアー信号CLOは奇数番目の走査側電極Y1, Y3, ...に対応する走査側

駆動回路5aのANDゲート10に入力されるクリアー信号CL、第9図(4)に示すクリアー信号CLEは偶数番目の走査側電極Y2, Y4, ...に対応する走査側駆動回路5bのANDゲート10に入力されるクリアー信号CL、第9図(5)、第9図(7)に示す駆動信号Q10, Q20はそれぞれ半導体IC7aから奇数番目の走査側電極Y1, Y3に与えられる駆動信号、第9図(6)、第9図(8)に示す駆動信号Q1E, Q2Eはそれぞれ半導体IC7bから偶数番目の走査側電極Y2, Y4に与えられる駆動信号である。

第8図および第9図に示すように、期間ts1, ts2の間ではクロックCKによって、位置指定データIPは半導体IC7a, 7bのシフトレジスタ9内を1ビット分だけシフトされ、各シフトレジスタ9の1番目のビットの出力が対応するANDゲート10へ入力されるが、期間ts1ではクリアー信号CLOがハイレベルとなるので、このとき半導体IC7aから走査側電極Y1に駆動信号Q10が与えられる。また、次の期間ts2

ではクリアー信号CLEがハイレベルとなるので、このとき半導体IC7bから走査側電極Y2に駆動信号Q1Eが与えられる。

次の期間ts3, ts4では、上記位置指定データDがさらに1ビット分シフトされ、同様にして期間ts3では半導体IC7aから走査側電極Y3に駆動信号Q20が、また期間ts4では半導体IC7bから走査側電極Y4に駆動信号Q2Eがそれぞれ与えられる。このように、左右の走査側駆動回路5a, 5bに共通のクロックCKを用いることによって、奇数番目の走査側電極Y1, Y3, ...と偶数番目の走査側電極Y2, Y4, ...とが線順次に選択される。上記構成において、各走査側駆動回路5a, 5bのシフトレジスタ9が双方向にシフト可能であるとする、左右の走査側駆動回路5a, 5bは共通化が可能である。すなわち、奇数番目の走査側電極Y1, Y2, ...に対応する左側の走査側駆動回路5aを上下逆向きにすれば、そのまま偶数番目の走査側電極Y2, Y4, ...に対応する右側の走査側駆動回路5bと

して用いることができる。

ところで、上述したように左右の走査側駆動回路5a、5bの各半導体IC7a、7bとして同一ビットのものをを用いる場合には、表示パネル1の走査側電極Yの本数との関係で様々な接続構成が生じることになる。

たとえば、300ラインの走査線つまり300本の走査側電極Yを持つ表示パネル1に対する走査側駆動回路5a、5bに、32ビットの半導体IC7a、7bを用いるものとする、各走査側駆動回路5a、5bはそれぞれ150本の走査線を担うことになる。そのために、各走査側駆動回路5a、5bを構成する半導体IC7a、7bをそれぞれ5個とすると、各走査側駆動回路5a、5bのビット数は $32 \times 5 = 160$ となり、それぞれ10ビットの余りビットが出る。

そこで、従来、このような場合には、たとえば走査側駆動回路5aの1番目の半導体IC7aの最初から5ビット分と、5番目の半導体IC7aの最後の5ビット分を空きビットつまり走査側電

極Yに接続しないビットとすることによって、その走査側駆動回路5aをそのままう1つの走査側駆動回路5bとして使用していた。

第10図は、その場合に各走査側駆動回路5a、5bに与えるシフト用のクロックCKを示すタイミングチャートである。

すなわち、この場合には、各走査側駆動回路5a、5bの1番目の半導体IC7a、7bの最初の5ビット分を送り出すために、第10図(2)に示すように期間ts1の前に5個の送り用パルスを含ませたクロックCKが用いられる。

発明が解決しようとする課題

しかしながら、上述した左右の走査側駆動回路5a、5bの共通化対策は、次のような場合には適用できない。

すなわち、たとえば350ラインの走査線を持つ表示パネル1の場合、32ビットの半導体IC7a、7bを走査側駆動回路5a、5bに使用するものとする、各走査側駆動回路5a、5bの余りビットは、

$$(32 \times 6) - (350 \div 2) = 17 \quad \dots (1)$$

となる。すなわち、この場合には余りビットが奇数となるため、たとえば走査側駆動回路5aにおいて1番目の半導体IC7aと6番目の半導体IC7aとに同数の空きビットを割り振ることができない。

その結果、このような場合には、左右の走査側駆動回路5a、5bを別々に用意する必要があり、部品点数を増加させコストを増大させるという問題を有する。

したがって、本発明の目的は、奇数番目の走査側電極に対応する走査側駆動回路と偶数番目の走査側電極に対応する走査側駆動回路とを共通化できる表示装置を提供することである。

課題を解決するための手段

本発明は、互いに交差する方向に配列した複数の走査側電極と複数のデータ側電極との交点ごとに絵素を有する表示パネルと、走査側電極に接続され絵素の行を指定する走査側駆動回路と、データ側電極に接続され絵素の各列に表示データに付

与する信号を与えるデータ側駆動回路とを含み、前記走査側駆動回路は、双方向にシフト可能なqビットのシフトレジスタとしての機能を含むN個の半導体ICを配線基板に縦続接続してそれぞれ構成される奇数走査側駆動回路と、偶数走査側駆動回路とに分けられ、クロック生成回路から出力されるクロックによって奇数走査側駆動回路および偶数走査側駆動回路をシフト駆動して絵素の行を指定するように構成され、かつ、奇数走査側駆動回路の全半導体ICを合計したビット数 $q \times N$ および偶数走査側駆動回路の全半導体ICを合計したビット数 $q \times N$ が、それぞれ奇数番目の走査側電極および偶数番目の走査側電極の本数よりも奇数ビット $m + n$ だけ多い表示装置において、

前記奇数走査側駆動回路は、その1番目の半導体ICの最初からmビット分および最後の半導体ICの最後のnビット分を除いて、各半導体ICの各ビットが表示パネルの対応する奇数番目の走査側電極に接続され、

前記偶数走査側駆動回路は、奇数走査側駆動回

路を、その最後の半導体ICが1番目の半導体ICとなり、1番目の半導体集積回路が最後の半導体ICとなるように上下を逆にして配置され、かつ1番目の半導体ICの最初のnビット分および最後の半導体ICの最後のmビット分を除いて、各半導体ICの各ビットが表示パネルの対応する偶数番目の走査側電極に接続され、

前記クロック生成回路は、奇数走査側駆動回路にその1番目の半導体ICの最初のmビット分を送り送るクロックを与え、偶数走査側駆動回路にその1番目の半導体ICの最初のnビット分を送り送るクロックを与えることを特徴とする表示装置である。

作 用

本発明に従えば、奇数走査側駆動回路のシフトレジスタをシフト駆動するクロックとして、その1番目の半導体ICの最初のmビット分を送り送るクロックが与えられ、偶数走査側駆動回路のシフトレジスタをシフト駆動するクロックとして、最初のnビット分を送り送るクロックが与えら

れるので、1番目の半導体ICの最初からmビット分および最後の半導体ICの最後のnビット分を除いて各半導体ICの各ビットが表示パネルの奇数番目の走査側電極に接続される奇数走査側駆動回路を、上下の配置を逆にすることによって偶数走査側駆動回路としても使用できる。

実施例

第1図は本発明の一実施例であるマトリクス型表示装置の構成を示すブロック図であり、その概略的な構成は上述した従来の表示装置と同様である。

すなわち、表示パネル11には互いに直交する方向に配列した複数本の走査側電極Yと複数本のデータ側電極Xとが形成され、その走査側電極Yとデータ側電極Xの交点ごとに絵素Aが配置されている。つまり表示パネル11には複数の絵素Aがマトリクス状に配列されており、その絵素Aの各行に対応付けて走査側電極Yが、また絵素Aの各列に対応付けてデータ側電極Xがそれぞれ配列されている。

表示パネル11の上下両端つまり絵素Aの列の端部側には、絵素Aの各列つまりデータ側電極Xに表示データに対応する駆動信号を供給するためのデータ側駆動回路12a、12bが配置されている。

このデータ側駆動回路12a、12bは、フレキシブルプリント基板や硬質プリント基板等の配線基板13上に複数の半導体IC14を実装して構成されている。

また、表示パネル11の左右両端つまり絵素Aの行の端部側には、絵素Aの各行つまり走査側電極Yを線順次に指定するための走査側駆動回路15a、15bが配置されている。

この走査側駆動回路15a、15bも、それぞれ配線基板16上にN個の半導体IC17a、17bを実装して構成されている。

表示制御回路18は、上記各データ側駆動回路12a、12bおよび各走査側駆動回路15a、15bの駆動に必要な制御信号や電圧を供給するための回路である。

上記データ側駆動回路12a、12bのうち、一方のデータ側駆動回路12aは、表示パネル11における例えば左側を基点として奇数番目の各データ側電極Xに接続される回路であって、その各半導体IC14にはpビットのシフトレジスタとラッチ回路とが内蔵され、互いに縦続接続されており、それらの半導体IC14のpビットの出力端子は表示パネル11の奇数番目のデータ側電極Xの対応するp本に接続されている。

また、上記データ側駆動回路12a、12bのうち、他方のデータ側駆動回路12bは、表示パネル11の偶数番目のデータ側電極Xに接続される回路であって、その各半導体IC14も同様に互いに縦続接続されており、それらの半導体IC14のpビットの出力端子は表示パネル11の偶数番目のデータ側電極Xの対応するp本に接続されている。

上記データ側駆動回路12a、12bの各半導体IC14は、表示制御回路18から与えられるクロックによってシフト駆動され、外部から送ら

れてくる読書の各1行分の表示データを順次転送して取り込み、その表示データに対応する駆動信号をそれぞれのビットの出力端子からデータ側電極Xへと出力する機能を持つ。

また、上記走査側駆動回路15a、15bのうち、一方の走査側駆動回路15aは、表示パネル11における例えば上側を基点として奇数番目の走査側電極Yに接続される回路であって、その各半導体IC17にはqビットのシフトレジスタが内蔵され、互いに縦続接続されており、その1番目の半導体IC17の最初のmビット分と、N番目つまり最後の半導体IC17の最後のnビット分とを除いて、各ビットの出力は表示パネル11の対応する奇数番目の走査側電極Yに接続されている。

また、上記走査側駆動回路15a、15bのうち、他方の走査側駆動回路15bは、表示パネル11の偶数番目の走査側電極Yに接続される回路であって、その各半導体IC17も互いに縦続接続されている。この走査側駆動回路15bの場合

には、1番目の半導体IC17の最初のnビット分と、N番目つまり最後の半導体IC17の最後のmビット分とを除き、各ビットの出力端子は表示パネル11の対応する偶数番目のデータ側電極Xに接続されている。

すなわち、この表示装置では、表示パネル11の奇数番目の走査側電極Yおよび偶数番目の走査側電極Yの本数に対して、これらに対応する各走査側駆動回路15a、15bのビット数 $q \times N$ がそれぞれ奇数本 $m \times n$ だけ多い場合が示されており、偶数番目の走査側電極Yに対応付けられる走査側駆動回路15bは、奇数番目の走査側電極Yに対応付けられる走査側駆動回路15aの配線基板16の上下の配置を逆にして代用されている。つまり、ここでは左右の走査側駆動回路15a、15bが共通化されている。

上記走査側駆動回路15a、15bの各半導体IC17a、17bは、表示制御回路18から与えられるクロックCKO、CKEによってシフト駆動され、それによって読書Aの各行つまり走査

側電極Yを線順次に指定する機能を持つ。この場合、クロックCKOは走査側駆動回路15aの各半導体IC17aをシフト駆動するクロックであり、クロックCKEは走査側駆動回路15bの各半導体IC17bをシフト駆動するクロックである。

第2図は上記各走査側駆動回路15a、15bの初段の半導体IC17a、17bと表示パネル11の各走査側電極Yとの接続構成を示す図であり、第3図はその走査側駆動回路15a、15bのシフト動作を示すタイミングチャートである。

第3図において、ts1、ts2、…は第2図に示す表示パネル11の走査側電極Y1、Y2、…がそれぞれ各走査側駆動回路15a、15bの線順次駆動によって選択される期間を示している。また、第3図(4)に示すクリアー信号CLOは奇数番目の走査側電極Y1、Y3、…に対応する走査側駆動回路15aに入力されるクリアー信号CL、第3図(5)に示すクリアー信号CLEは偶数番目の走査側電極Y2、Y4、…に対応する

走査側駆動回路15bに入力されるクリアー信号CL、第3図(6)、第3図(8)に示す駆動信号Q90、Q100はそれぞれ走査側駆動回路15aにおける1番目の半導体IC17aの9ビット目および10ビット目の出力端子から対応する奇数番目の走査側電極Y1、Y3に与えられる駆動信号、第3図(7)、第3図(9)に示す駆動信号Q10E、Q11Eはそれぞれ走査側駆動回路15bにおける1番目の半導体IC17bの10ビット目および11ビット目の出力端子から偶数番目の走査側電極Y2、Y4に与えられる駆動信号である。

次に、第2図および第3図を参照して上記表示装置における走査側電極Yの選択動作について説明する。

第3図(2)に示すように、表示制御回路18から奇数側の走査側駆動回路15aに与えられるシフト用のクロックCKOには、その走査側駆動回路15aの最初の8ビット分を送り出すように、期間ts1の前に8個の送り用パルスが含まさ

れており、このため走査側駆動回路15aの入力端子D1から入力される位置指定データDは期間ts1の前に8ビット分空送りされ、期間ts1において9ビット目に位置指定データDがシフトする。

これに対して、表示制御回路18から別に偶数側の走査側駆動回路15bに与えられるシフト用のクロックCKEには、第3図(3)に示すように、その走査側駆動回路15bの最初の9ビット分を空送りするように、期間ts1の前に9個の空送り用パルスが含まれており、このため走査側駆動回路15bの入力端子D1から入力される位置指定データDは期間ts1の前に9ビット分空送りされ、期間ts1において10ビット目に位置指定データDがシフトする。

すなわち、期間ts1ではクロックCKOによって、走査側駆動回路15aにおける1番目の半導体IC17aの9ビット目つまり表示パネル11の走査側電極Y1に対応するビットに位置指定データDがシフトされ、また走査側駆動回路15b

における1番目の半導体IC17bの10ビット目つまり表示パネル11の走査側電極Y2に対応するビットに位置指定データDがシフトされる。そのビットの出力が対応する図示しないANDゲートへ入力される。走査側駆動回路15aの場合、期間ts1で第3図(4)に示すように上記ANDゲートの他の1入力となる別のクリアー信号CLEがハイレベルとなるので、このとき上記半導体IC17aから走査側電極Y1に駆動信号Q9Oが与えられる。

また、走査側駆動回路15bの場合、次の期間ts2で第3図(5)に示すように上記ANDゲートの他の1入力となる別のクリアー信号CLEがハイレベルとなるので、このとき上記半導体IC17bから走査側電極Y2に駆動信号Q10Eが与えられる。

次の期間ts3、ts4では上記位置指定データDがさらに1ビット分シフトされ、同様にして期間ts3では半導体IC17aから走査側電極Y3に駆動信号Q10Oが、また期間ts4では

半導体IC17bから走査側電極Y4に駆動信号Q11Eがそれぞれ与えられる。このように、左右の走査側駆動回路15a、15bに別々のシフト用クロックCKO、CKEを用いることによって、奇数番目の走査側電極Y1、Y3、…と偶数番目の走査側電極Y2、Y4、…とが線順次に選択される。

なお、データ側駆動回路12a、12bにおいては、上記ライン指定期間ts1、ts2、…ごとに絵素Aの1行分の表示データが取り込まれ、取り込まれたデータに応じた駆動信号が対応するデータ側電極Xに与えられ、それによって指定された行の絵素Aが駆動される。このような動作が全走査線に亘って繰り返され、画面に画像が表示される。

第4図は本発明の他の実施例であるマトリクス型表示装置における各走査側駆動回路15a、15bの初段の半導体IC17a、17bと表示パネル11の各走査側電極Yとの接続構成を示す図であり、第5図はその走査側駆動回路15a、1

5bのシフト動作を示すタイミングチャートである。

この実施例では、奇数側の走査側駆動回路15aに与えるシフト用クロックとして、偶数側の走査側駆動回路15bに与えるシフト用クロックCKをインバータ19で反転したクロックCKを用いている。その他の構成は先の実施例と同様である。

すなわち、第5図(2)に示すように偶数側の走査側駆動回路15bに与えるクロックCKは、期間ts1の前に9個の空送り用パルスを含めると共に、この9個目の空送り用パルスを期間ts1の直前まで延長され、期間ts1の前に9回の立ち上がりタイミングが与えられる。

一方、奇数側の走査側駆動回路15aに与えられる第5図(3)に示すクロックCKは上記クロックCKの反転信号であるため、期間ts1の前に8回の立ち上がりタイミングが与えられることになる。

したがって、奇数側の走査側駆動回路15aの

シフト動作では、その1番目の半導体IC17aの最初の8ビット分が空送りされ、期間 t_{s1} で走査側電極Y1が選択される。また、偶数側の走査側駆動回路15bのシフト動作では、その1番目の半導体IC17bの最初の9ビット分が空送りされ、期間 t_{s2} で走査側電極Y2が選択される。

なお、クロックCK、 \overline{CK} は互いに反転した信号であるから、最初に位置指定データDを取り込むタイミングや、その後の各走査線ごとにシフトするときのタイミングが走査側駆動回路15a、15bの間でずれることになるが、そのような部分のパルス幅を狭く設定することによって、そのタイミングのずれを実用上問題のない範囲に縮小することができる。

また、この実施例では、互いに反転したクロックCK、 \overline{CK} を用いるので、偶数側の走査側駆動回路15aにおける空送りパルス数と奇数側の走査側駆動回路15bにおける空送りパルス数との差が1の場合にしか適用できないと言う制約を受

けるものの、表示制御回路18からシフト用として出力する信号はクロックCKの1種類だけなので、表示制御回路18の構成を簡略化できるという利点を持つ。

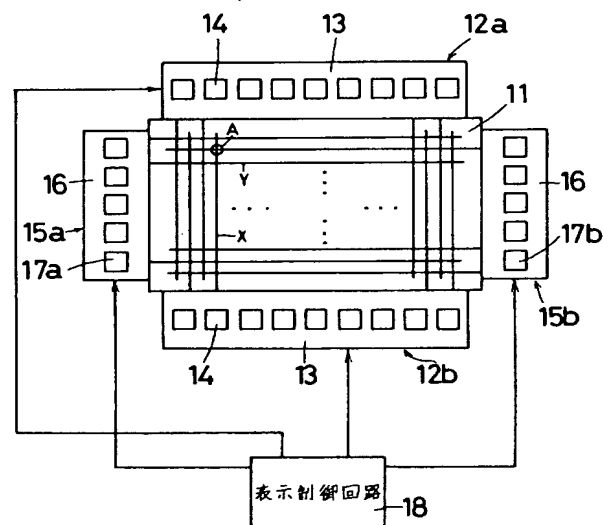
発明の効果

以上のように、本発明の表示装置によれば、奇数走査側駆動回路のシフトレジスタをシフト駆動するクロックとして、その1番目の半導体ICの最初のmビット分を空送りするクロックを与え、偶数走査側駆動回路のシフトレジスタをシフト駆動するクロックとして、最初のnビット分を空送りするクロックを与えられるように構成しているので、1番目の半導体ICの最初からmビット分および最後の半導体ICの最後のnビット分を除いて各半導体ICの各ビットが表示パネルの奇数番目の走査側電極に接続される奇数走査側駆動回路を、上下の配置を逆にすることによって偶数走査側駆動回路として共通化でき、装置のコストを低減化できる。

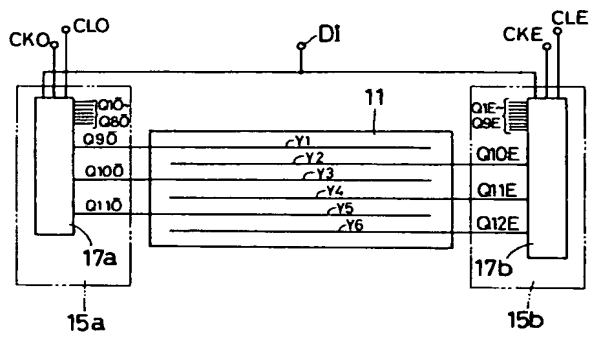
4. 図面の簡単な説明

第1図は本発明の一実施例である表示装置の概略的な構成を示すブロック図、第2図はその走査側駆動回路と表示パネルとの接続構成を示す図、第3図はその表示装置の走査線選択動作を示すタイミングチャート、第4図は本発明の別の実施例における走査側駆動回路と表示パネルとの接続構成を示す図、第5図はその表示装置の走査線選択動作を示すタイミングチャート、第6図は従来の表示装置の概略的な構成を示すブロック図、第7図はその走査側駆動回路における半導体ICの内部構成を示すブロック図、第8図はその走査側駆動回路と表示パネルとの接続構成を示す図、第9図はその表示装置の走査線選択動作を示すタイミングチャート、第10図は走査側駆動回路の最初の数ビット分を空送りするためのクロックを示すタイミングチャートである。

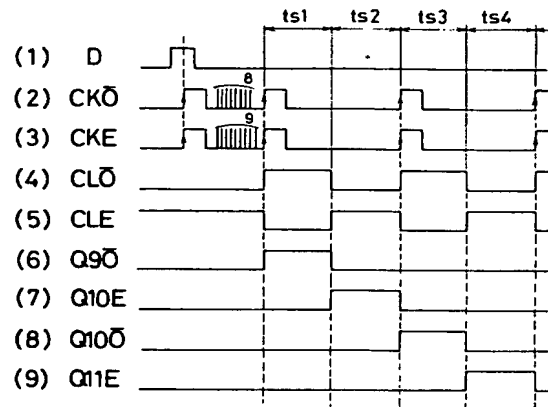
11…表示パネル、12a、12b…データ側駆動回路、15a、15b…走査側駆動回路、16…配線基板、17a、17b…半導体IC、18…表示制御回路



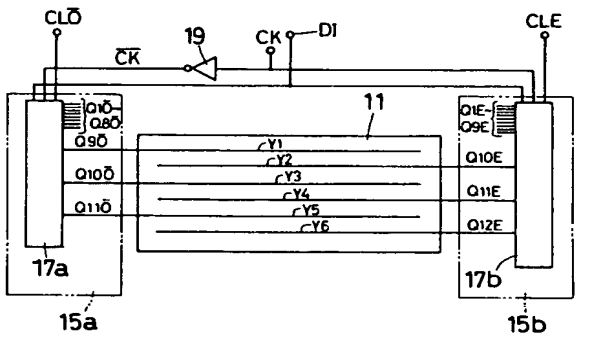
第1図



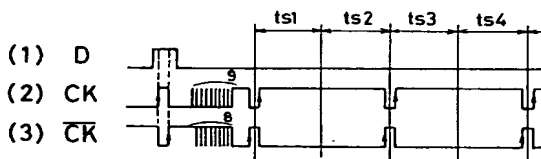
第 2 図



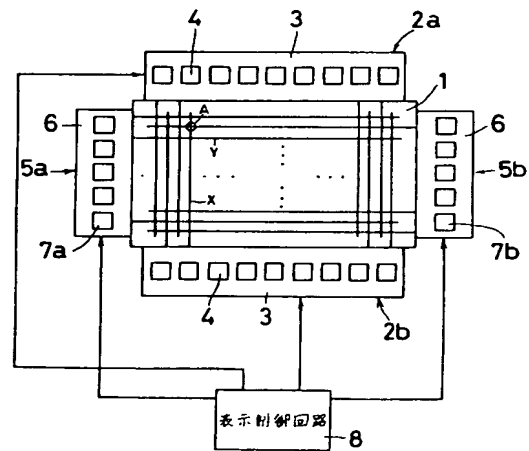
第 3 図



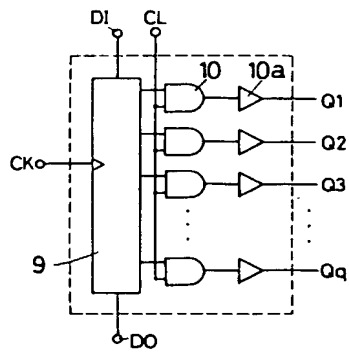
第 4 図



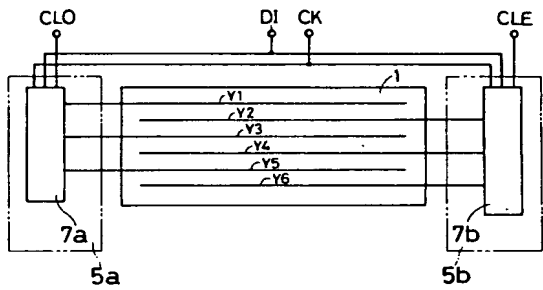
第 5 図



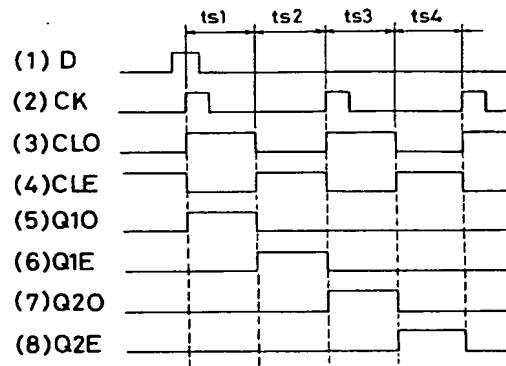
第 6 図



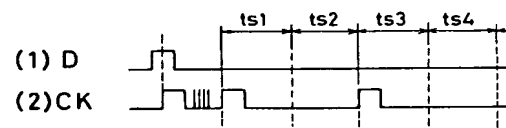
第 7 図



第 8 図



第 9 図



第 10 図